

IMAGE COMPRESSION CODER

Publication number: JP2000236539

Publication date: 2000-08-29

Inventor: NAKAMURA KAZUHIRO; OUTA MINORU; YAMAUCHI KAZUHIKO

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA AVE KK

Classification:

- international: **H04N7/26; H04N7/24; H04N7/26; H04N7/24; (IPC1-7): H04N7/24**

- European:

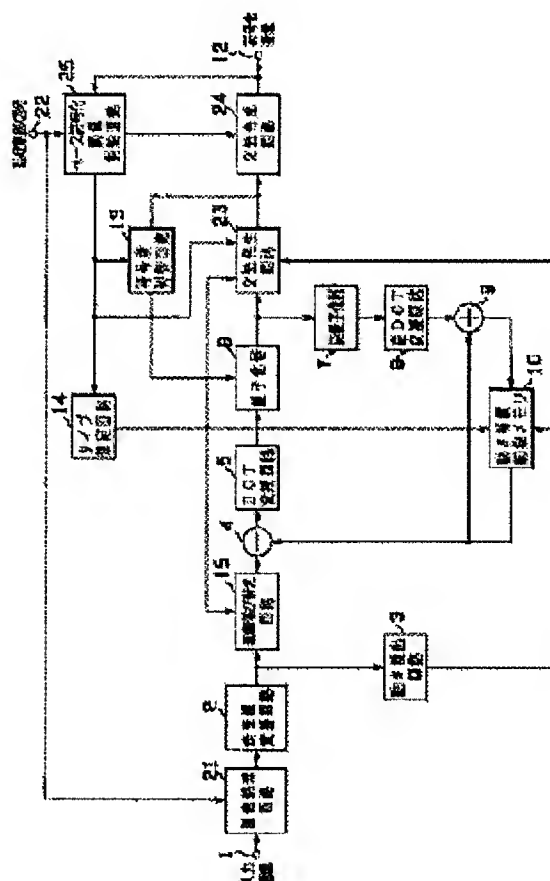
Application number: JP19990037488 19990216

Priority number(s): JP19990037488 19990216

Report a data error here

Abstract of JP2000236539

PROBLEM TO BE SOLVED: To obtain a synthesized image by editing an image in terms of a stream. **SOLUTION:** The position and size of an added image are terminated on the basis of a processing control signal from a terminal 22, and a type determination circuit 14 instructs a coding type on the basis of a base coded image. An image signal is coded on the basis of the coding type and an output of a quantizer 6 is fed to a grammar generating circuit 33. The grammar generating circuit 23 generates data that follow a slice layer on the basis of a quantized output and outputs the data to a grammar synthesis circuit 24. The grammar synthesis circuit 24 synthesizes an output of the quantizer 6 with the base coded image to obtain the coded image of the synthesis image. Thus, the image is synthesized in terms of a stream.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-236539

(P2000-236539A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl.⁷

H 0 4 N 7/24

識別記号

F I

H 0 4 N 7/13

テーマコード(参考)

Z 5 C 0 5 9

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平11-37488

(22) 出願日 平成11年2月16日 (1999.2.16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 中村 和弘

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(74) 代理人 100076233

弁理士 伊藤 進

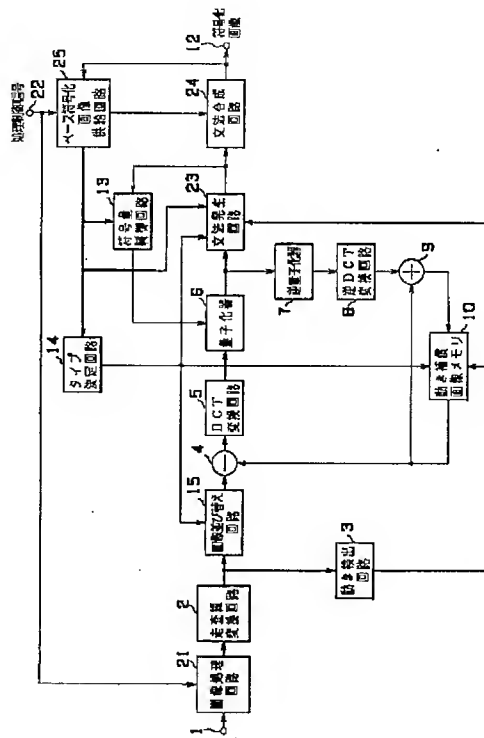
最終頁に続く

(54) 【発明の名称】 画像圧縮符号化装置

(57) 【要約】

【課題】 ストリーム上での画像編集を可能にして、合成画像を得る。

【解決手段】 端子22からの処理制御信号に基づいて、追加する画像の位置及び大きさが決定される。タイプ決定回路14は、ベース符号化画像に基づいて符号化タイプを指示する。画像信号は、符号化タイプに基づいて符号化され、量子化器6の出力が文法発生回路23に供給される。文法発生回路23は、量子化出力に基づいてスライスレーヤー以下のデータを作成して、文法合成回路24に出力する。文法合成回路24は、ベース符号化画像に量子化器6の出力を合成して、合成画像の符号化画像を得る。こうして、ストリーム上で、画像合成が行われる。



【特許請求の範囲】

【請求項 1】 画面の一部の領域に対応する入力画像が与えられて、前記入力画像を圧縮符号化して符号化画像を出力する符号化手段と、

前記符号化手段を制御して、画面の所定領域単位で前記符号化画像の符号化を完結させる符号化制御手段と、画面の全域に対応するベース画像と前記入力画像との合成画像の符号化画像を得るために、前記ベース画像の符号化データであるベース符号化画像に前記入力画像に基づく符号化画像を前記画面の所定領域単位で合成して出力する合成手段とを具備したことを特徴とする画像圧縮符号化装置。

【請求項 2】 画面の全域に対応するベース画像の符号化データであるベース符号化画像の符号化タイプに基づく符号化タイプを決定する符号化タイプ決定手段と、前記ベース画像中の所定の領域がマクロブロックを単位として追加画像の領域として指示されて、前記追加画像の領域に対応する画像サイズの入力画像を前記符号化タイプ決定手段によって決定された符号化タイプで圧縮符号化してスライスレーヤー以下の符号化画像を出力する符号化手段と、

前記ベース符号化画像に前記符号化手段からの符号化画像を前記スライスレーヤー単位で合成して、前記ベース画像と前記入力画像との合成画像の符号化画像を得る合成手段とを具備したことを特徴とする画像圧縮符号化装置。

【請求項 3】 前記合成手段は、前記ベース符号化画像が可変ビットレート符号化されていることを示すデータを前記スライスレーヤーに付加することを特徴とする請求項 2 に記載の画像圧縮符号化装置。

【請求項 4】 前記符号化手段は、前記ベース画像と前記入力画像との画像サイズの比に応じて、前記入力画像に基づく符号化画像の符号量を制御することを特徴とする請求項 2 に記載の画像圧縮符号化装置。

【請求項 5】 前記追加画像の領域として指示された領域が前記ベース画像の領域外の領域を含む場合には、前記ベース画像の領域を前記領域外の領域を含むように再設定されたベース符号化画像を前記合成手段に供給することを特徴とする請求項 2 に記載の画像圧縮符号化装置。

【請求項 6】 前記符号化タイプ決定手段は、前記ベース符号化画像の符号化タイプが双方向予測符号化による符号化タイプである場合には、双方向予測符号化による符号化タイプだけでなく、片方向予測符号化による符号化タイプ及びフレーム内符号化による符号化タイプも決定し、前記ベース符号化画像の符号化タイプが片方向予測符号化による符号化タイプである場合には、片方向予測符号化による符号化タイプだけでなく、フレーム内符号化による符号化タイプも決定することを特徴とする請求項 2 に記載の画像圧縮符号化装置。

【請求項 7】 前記ベース画像のうちの無画像部の領域に対応する前記ベース符号化画像は、1 マクロブロックで符号化を完結させ、

前記合成手段は、前記入力画像が合成された領域の次のマクロブロックにスライスヘッダを付加することを特徴とする請求項 2 に記載の画像圧縮符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像の合成を行う画像圧縮符号化装置に関する。

【0002】

【従来の技術】近年、画像信号を圧縮する方法として、MPEG-1 又は MPEG-2 等の動画信号を符号化する方法が開発されている。

【0003】図 7 は MPEG を採用した従来の画像圧縮符号化装置の構成を示すブロック図である。また、図 8 は圧縮符号化信号を説明するための説明図である。

【0004】図 7 において、通常、端子 1 に入力される入力画像は、画像モニターに入力される線順次画像信号又はインタレース画像信号である。この入力画像は、走査線変換回路 2 に入力される。走査線変換回路 2 は、入力された線順次又はインタレース画像信号を水平 16 画素×垂直 16 ラインから構成されるマクロブロックに変換して出力する。マクロブロックが符号化の単位となる。

【0005】マクロブロック単位の画像信号は、画像並び替え回路 15 及び動き検出回路 3 に供給される。画像並び替え回路 15 は、後述するタイプ決定回路 14 の指示に従って、画像信号の順番を変更する。

【0006】MPEG では、画像内の情報だけを用いて圧縮を行う I (Intra-coded picture) ピクチャ、過去の画像信号の情報を参照して圧縮を行う P (Predictive-coded picture) ピクチャ並びに過去及び未来の画像信号の情報を参照して圧縮を行う B (Bidirectionally predictive-coded picture) ピクチャの 3 種のタイプがある。タイプ決定回路 14 は、符号化に際して符号化タイプを決定し、決定した符号化のタイプを画像並び替え回路 15、文法発生回路 11 及び動き補償画像メモリ 10 に対して指示する。B ピクチャでは未来の画像情報を必要とするので、画像並び替え回路 15 は圧縮符号化する順番に画像を並び替える。

【0007】I ピクチャの符号化出力を生成する場合には、画像並び替え回路 15 からの画像信号は減算器 4 を介してそのまま DCT 変換回路 5 に供給される。DCT 変換回路 5 は、入力された画像信号を所定のブロック単位で DCT (離散コサイン変換) 処理して、入力された画像信号を空間周波数成分に変換して量子化器 6 に出力する。量子化器 6 は交換周波数成分を量子化することにより符号量を削減して、文法発生回路 11 に出力する。文法発生回路 11 は、MPEG 規格の文法に従って、符号化された

ストリームを構成して、符号化出力として出力する。

【0008】一方、量子化器6からの量子化出力は、B、Pピクチャ作成時の参照画像を得るために逆量子化器7に供給される。逆量子化器7は、量子化器6からの量子化出力を逆量子化して逆DCT変換回路8に出力する。逆DCT変換回路8は逆量子化出力に逆DCT処理を施して、DCT変換回路5によるDCT処理前のデータに戻す。

【0009】量子化器6の出力がIピクチャの量子化出力である場合には、逆DCT変換回路8の出力は元の画像の復元画像である。この場合には、逆DCT変換回路8の出力は加算器9を介してそのまま動き補償画像メモリ10に供給される。動き補償画像メモリ10は、復元画像を参照画像として記憶する。

【0010】次に、P又はBピクチャの符号化出力を生成するものとする。走査線変換回路2の出力は動き検出回路3にも与えられており、動き検出回路3は、参照画像との動きをマクロブロック毎に探索して動きベクトルとして出力する。この動きベクトルは動き補償画像メモリ10に供給される。動き補償画像メモリ10は、タイプ決定回路14にピクチャタイプが指示されて、参照画像のブロック化位置を動きベクトルに基づいて決定することにより、動き補償した参照画像を減算器4に出力する。この場合には、減算器4は画像並び替え回路15からの画像信号と動き補償画像メモリ10からの動き補償された参照画像とを減算して、差分信号（予測誤差）を出力する。

【0011】以後、この予測誤差について、DCT処理及び量子化処理が施される。これにより、B、Pピクチャの符号量は著しく低減される。Pピクチャに対する逆DCT変換回路8の出力は予測誤差である。この予測誤差に対して、加算器9は、動き補償画像メモリ10から動き補償された参照画像を読み出して加算することにより、元の画像を復元する。加算器9はPピクチャに対する復元画像を参照画像として動き補償画像メモリ10に与えて記憶させる。

【0012】図8はMPEG-Videの階層符号を示す説明図である。

【0013】第1の階層は、シーケンスレーヤーであり、このレーヤーの先頭にはシーケンスヘッダーが付加されている。シーケンスヘッダーには、圧縮符号化を行った際のビットレート（bit_rate）や画像のサイズ等が記述されている。シーケンスヘッダーの次に複数のGOPレーヤーが続き、再び、次のシーケンスが開始される。従って、1個のシーケンス内ではビットレートや画像サイズを変更することはできない。

【0014】GOPレーヤーはGOPヘッダーと複数のピクチャ（Picture）レーヤーで構成される。GOPは、基本的には、圧縮符号化された信号のランダムアクセスの単位であり、少なくとも1個のIピクチャを含む。GOPヘッダーにはタイムコードや、そのGOPの

先頭の画像が前のGOPに含まれる画像信号の情報を使用して圧縮されているか否かを示すClosedGOPと呼ばれるフラグ等が記述されている。

【0015】ピクチャレーヤーは、ピクチャヘッダーと複数のスライスレーヤーからなる。ピクチャヘッダーは、そのピクチャの符号化タイプ（I/P/B）やそのピクチャ内で使用されている動きベクトルの精度等が記述されている。

【0016】スライスレーヤーは、スライスヘッダーと複数のマクロブロックレーヤーから構成されている。スライスヘッダーにはスライススタートコードと呼ばれるユニークな符号があり、これによって、そのスライスの垂直の位置（符号化画像の垂直アドレス）を知ることができる。また、このスライスで使用されている量子化スケールを示すフラグも存在する。

【0017】量子化スケールとは、図7の量子化器6における量子化特性を示すもので、少なくともスライスの先頭には記述されなければならない。ここでスライスを構成する場合の制約条件として、スライスがオーバーラップすることは許されず、また、スライスは、通常、水平方向に並んだマクロブロックの集合として符号化され、複数のマクロブロックラインに跨ることはない（規格では跨っても良い）。

【0018】マクロブロックはマクロブロックヘッダーとブロックレーヤーから構成される。マクロブロックヘッダーには、そのマクロブロックの符号化モード、マクロブロックの水平方向のアドレス、そのマクロブロックの動きベクトルが記述されている。

【0019】マクロブロックはスライス内でスキップ（符号化しない）することができるが、スライスの先頭と最後のマクロブロックはスキップできない。従って、これによりスライス先頭のマクロブロックの水平アドレス、即ち当該スライスの水平位置を知ることができる。ブロックレーヤーは、DCT係数を符号化したコードで構成されているが、符号化モードによってはDCTの直流成分の差分を示すコードが付加される場合がある。

【0020】文法発生回路11は、このようなMPEG規格の符号化出力を出力端子12を介して出力すると共に、符号量制御回路13にも出力する。符号量制御回路13は、発生した符号量をモニタしており、例えば、ある一定期間の間に発生する符号量を平滑化するためのフィードバック信号を量子化器6に出力する。符号量制御回路13の出力に基づいて量子化器6の量子化係数を決定することで、符号量を設定符号量に制限する。

【0021】ところで、近年放送が開始されているデジタル放送ではMPEGによる圧縮符号が伝送され、その放送チャンネル数は数百にのぼる例がある。また、HDD（ハードディスクドライブ）や光ディスク等のデータ蓄積メディアの記録容量は飛躍的に増加している。このような状況に対応するため、デジタル放送では一般

視聴者が番組を選択するための助けとなる番組選択ガイド用のチャンネルが必要であり、また、蓄積メディアでは記録されている画像信号を管理するために例えばサムネイル表示するための付加画像が必要となる。

【0022】例えば、番組選択ガイド・チャンネルでは、画面を複数に分割しそれらの分割された子画面に、各チャンネルの画像を縮小化して複数の放送チャンネルを同時に参照可能な機能が望まれる。また、圧縮画像蓄積メディアの付加画像も同様に子画面化して記録することにより、付加画像によって、大量の記録画像を容易に把握することができる。

【0023】ディジタル放送や大容量の圧縮画像蓄積メディアの符号化／復号化装置としてはMPEG方式が一般的となっているが、上述した従来の画像圧縮符号化装置においては、入力画像が1種に限られていたり、あるいは、複数の放送チャンネル画像信号を予め縮小合成した後に符号化する必要があった。

【0024】従って、例えばディジタル放送の例では、同時に放送される番組が1番組変更になって場合、或いは、あるチャンネルの放送が中断された場合には、全ての放送チャンネルの縮小合成を再度やり直した後に符号化する必要がある。また、蓄積メディアでは、記録される圧縮画像から付加画像を作成するためには、全ての画像を1度復号化して縮小合成を施した後に再び符号化する必要がある。

【0025】なお、GOPには必ず1枚のIピクチャが含まれているので、GOPを単位とすれば、フレーム符号化画像を時間領域で編集することも可能である。しかしながら、上述したように、符号化画像を2次元領域で編集するためには、一旦画像を復元する必要がある。

【0026】

【発明が解決しようとする課題】このように、上述した従来の画像圧縮符号化装置においては、複数の画像に基づく縮小合成画像を符号化して得た符号化画像の一部又は構成が変更になった場合には、再度縮小合成処理によって縮小合成画像を作り直した後に符号化しなければならないという問題点があった。また、既に符号化されている符号化画像に基づいて縮小合成画像を作成して符号化するためには、既に符号化されている符号化画像を復号して縮小合成画像を得た後に符号化を施す必要があるという問題点があった。

【0027】本発明はかかる問題点に鑑みてなされたものであって、符号化画像をストリーム上で編集することができる画像圧縮符号化装置を提供することを目的とする。

【0028】また、本発明は、符号化された複数の符号化画像から元の複数の画像に基づく縮小合成画像の符号化画像を作成することができる画像圧縮符号化装置を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明に係る画像圧縮符号化装置は、画面の一部の領域に対応する入力画像が与えられて、前記入力画像を圧縮符号化して符号化画像を出力する符号化手段と、前記符号化手段を制御して、画面の所定領域単位で前記符号化画像の符号化を完結させる符号化制御手段と、画面の全域に対応するベース画像と前記入力画像との合成画像の符号化画像を得るために、前記ベース画像の符号化データであるベース符号化画像に前記入力画像に基づく符号化画像を前記画面の所定領域単位で合成して出力する合成手段とを具備したものである。

【0030】本発明において、ベース画像に合成する入力画像は、符号化手段に与えられて符号化される。符号化制御手段は、入力画像の符号化を画面の所定の領域単位で完結させる。合成手段は、ベース符号化画像に入力画像の符号化画像を画面の所定の領域単位で合成する。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明に係る画像圧縮符号化装置の一実施の形態を示すブロック図である。図1において図7と同一の構成要素には同一符号を付してある。

【0032】本実施の形態は、1マクロブロックライン中の任意の水平位置で始まるスライス単位として編集を行う。符号化データは、時間的及び空間的にずれた画像を利用して符号化されている。ストリーム上で編集を行うためには、編集単位でストリームが完結している必要がある。本実施の形態においては、スライスの先頭ではアドレスが付加され、DC成分等も初期化されることを利用し、スライスの先頭マクロブロックをイントラマクロブロック（参照画像の無いマクロブロック）で構成することによって、スライス単位で符号化を完結させて、スライス単位の編集を可能にしている。

【0033】本実施の形態は、本発明を画像編集装置に適用したものであり、入力画像を符号化した後、ストリーム上で編集を行うようになっている。なお、既に符号化された符号化画像が入力され、この符号化画像に対して編集作業を行ってもよい。

【0034】入力端子1には入力画像が入力される。この入力画像は画像処理回路21に供給される。画像処理回路21は端子22を介して入力され処理制御信号に基づいて、入力された画像信号に所定の処理を施して走査線変換回路2に出力する。処理制御信号は、符号化タイプや追加する画像の画面上の位置及び面積の割合等を与える。例えば、処理制御信号によって入力画像をそのまま符号化することが指示された場合には、画像処理回路21は、入力された画像信号をそのまま走査線変換回路2に出力する。

【0035】また、処理制御信号によって編集前の画像（以下、ベース画像という）の一部に入力画像信号に基

づく縮小画像を付加することが示された場合には、入力された画像に対して縮小処理を施して走査線変換回路2に出力する。なお、この場合には、画像処理回路21は、処理制御信号によって指示された画像サイズに縮小する。画像処理回路21は、画像の一部のみを取り出した子画像を出力することもできる。この場合には、例えば、ISO/IEC 13818で規定されたPan__&__Scanの位置で切り出しを行う。

【0036】走査線変換回路2は、入力された線順次又はインターレース画像信号を水平16画素×垂直16ラインから構成されるマクロブロックに変換して画像並び替え回路15及び動き検出回路3に出力する。動き検出回路3は、入力画像の動きを検出して動きベクトルを動き補償画像メモリ10及び文法発生回路23に出力するようになっている。

【0037】画像並び替え回路15は、タイプ決定回路14から符号化タイプが指示されて、画像の並び替えを行って減算器4に出力する。減算器4はP、Bピクチャの符号化画像を生成する場合には、画像並び替え回路15からの画像と動き補償画像メモリ10からの動き補償された参照画像とを減算して予測誤差を出力し、Iピクチャの符号化画像を生成する場合には画像並び替え回路15からの画像をそのまま出力する。

【0038】減算器4の出力はDCT変換回路5に供給される。DCT変換回路5は、入力された画像信号をDCT処理して量子化器6に出力する。量子化器6は、符号量制御回路13から量子化係数を決定するためのフィードバック信号が供給され、入力されたDCT出力を量子化して量子化出力を文法発生回路23及び逆量子化器7に出力する。

【0039】逆量子化器7は、参照画像を得るために、量子化出力を逆量子化して逆DCT変換回路8に出力する。逆DCT変換回路8は、入力された逆量子化出力を逆DCT処理して、DCT処理前の画像を復元して加算器9に出力する。

【0040】加算器9は、Iピクチャに基づく復元画像についてはそのまま動き補償画像メモリ10に出力し、Pピクチャに基づく予測誤差については、動き補償画像メモリ10からの動き補償された参照画像と加算することにより元の画像を復元して動き補償画像メモリ10に出力する。動き補償画像メモリ10は入力された復元画像を参照画像として保持すると共に、タイプ決定回路14から符号化タイプが指示されて、動きベクトルに基づいて動き補償した参照画像を減算器4及び加算器9に出力するようになっている。

【0041】タイプ決定回路14は、符号化に際して、ベース符号化画像供給回路25から供給されたベース符号化画像に対応した符号化タイプを画像並び替え回路15、文法発生回路11及び動き補償画像メモリ10に対して指示す

【0042】文法発生回路23は、量子化器6からの量子化出力を、出力する符号化データのフォーマットに対応した符号配列に変換して出力する。例えば、文法発生回路23は、図8に示す階層的な符号化を行う。本実施の形態においては、文法発生回路23は図8中のスライスレーヤー以下の符号のみを発生するようになっている。

【0043】文法発生回路23からの符号化出力は符号量制御回路13及び文法合成回路24に供給される。符号量制御回路13は発生符号量を平滑化するためのフィードバック信号を量子化器6に出力する。本実施の形態においては、ベース画像に縮小画像を追加する場合には、符号量制御回路13に後述するベース符号化画像供給回路25の出力を与えて、ベース画像の全画面に対して追加する縮小画像の面積比を把握することができるようになっている。符号量制御回路13は、この面積比に基づいて発生する量子化出力の符号量を制御するためのフィードバック信号を出力するようになっている。

【0044】ベース符号化画像供給回路25は、端子22からの処理制御信号に基づいて、ベース画像の符号化出力（以下、ベース符号化画像という）を出力するようになっている。ベース符号化画像供給回路25は、例えば、文法合成回路24の出力が与えられて、ベース符号化画像を出力する。ベース符号化画像供給回路25からのベース符号化画像はタイプ決定回路14、符号量制御回路13、文法発生回路23及び文法合成回路24に供給されるようになっている。

【0045】なお、ベース符号化画像供給回路25は、各領域の境界とスライスレーヤーの境界とが一致するベース符号化画像を出力する。処理制御信号によって、追加する画像をはめ込む領域としてスライスレーヤーの境界と一致しない領域が指示された場合でも、ベース符号化画像供給回路25は、追加する画像をはめ込む領域としてスライスレーヤーの境界と一致した境界を有する領域を設定するようになっている。更に、処理制御信号によって、追加する画像をはめ込む領域が既に画像が存在する領域を含む場合には、ベース符号化画像供給回路25は、処理制御信号によって指定された領域を含み無画像部である領域を探索し、探索結果に基づいて追加する画像をはめ込む領域を設定するようになっている。

【0046】文法合成回路24は、文法発生回路23の出力とベース符号化画像供給回路25からのベース符号化画像とをスライスレーヤーにおいて合成することにより、ベース画像と入力画像信号に基づく縮小画像とをストリーム上で合成して出力するようになっている。文法合成回路24の出力は出力端子12を介して出力されると共に、ベース符号化画像供給回路25に供給されるようになっている。

【0047】次に、このように構成された実施の形態の動作について図2及び図3の説明図を参照して説明す

ス 図2は合成画像の生成例を示し、図3は7ニイフの

構造を示している。

【0048】ベース符号化画像供給回路25から出力されるベース符号化画像は、図2の縮小画像A、B、Cを含むベース画像を符号化したものであるものとする。即ち、ベース画像は画面左上の(X0, Y0)～(X3, Y1)の領域(以下、A領域という)に縮小画像Aを配置し、画面の(X0, Y1)～(X1, Y2)の領域(以下、B領域という)に縮小画像Bを配置し、画面の(X2, Y1)～(X4, Y2)の領域(以下、C領域という)に縮小画像Cを配置し、他の領域は無画像部としたものである。

【0049】いま、このベース画像の右上の部分、画面上では(X3, Y0)～(X5, Y1)の領域(以下、D領域という)に相当する位置に、図2に示す縮小画像Dを追加した符号化画像を得るものとする。入力端子1には縮小画像Dの元となる入力画像が入力される。画像処理回路21は、端子22を介して処理制御信号が与えられて画面サイズが指示され、入力された画像信号を指示された画面サイズに縮小して走査線変換回路2に出力する。なお、縮小画像のサイズは、マクロブロック(16ライン×16ドット)の整数倍に設定される。

【0050】なお、追加する縮小画像のサイズとしてマクロブロックの整数倍でない値が処理制御信号によって指示された場合には、画像縮小回路21は、この値をマクロブロックの整数倍の値に変更して処理を行う。

【0051】走査線変換回路2は、入力された縮小画像信号をマクロブロック単位の信号に変換して画像並び替え回路15に出力する。画像並び替え回路15によって画像の並び替えが行われる。この場合には、タイプ決定回路14は、処理制御信号によって指示されたベース符号化画像の符号化タイプに従って画像並び替え回路15を制御して、ベース符号化画像と同一の符号化タイプによって追加される画像が圧縮されるように画像の並び替えを行う。

【0052】Iピクチャを生成する場合には、減算器4は画像並び替え回路15の出力をそのままDCT変換回路5に出力する。DCT変換回路5は入力されたマクロブロック単位の画像信号をDCT処理して量子化器6に出力する。量子化器6によってDCT変換出力は量子化され、文法発生回路23に供給される。

【0053】量子化器6の出力は参照画像を得るために逆量子化器7にも出力される。逆量子化器7によって逆量子化され、逆DCT変換回路8によって逆DCT処理された画像信号は、加算器9を介して動き補償画像メモリ10に供給される。一方、動き検出回路3は、入力された画像信号の動きを検出して動きベクトルを動き補償画像メモリ10に出力しており、動き補償画像メモリ10は、動きベクトルに基づいて参照画像を動き補償して、動き補償された参照画像を減算器4及び加算器9に出力する。

【0054】こうして、減算器4によって画像並び替え回路15の出力と動き補償された参照画像とが減算されて、予測誤差が得られる。P、Bピクチャ生成時には、減算器4からの予測誤差に対して、DCT処理及び量子化処理が行われる。

【0055】なお、符号量制御回路13は、全画面に対して追加される画像領域の面積比が分かっているため、この比にそった符号量制御を行う。例えば、ベース符号化画像のビットレートを4Mbpsとして、追加される画像領域比が1/4であった場合には、符号量制御回路13は追加される画像の符号量を1Mbpsとなるように制御を行う。

【0056】次に、ベース符号のビットレートと個々に圧縮される画像の符号量との関係について説明する。従来例では、画面全体に対して符号量の制御が行われるので、符号量はシーケンスレーヤに示されたビットレートと一致する。ところで、MPEGでは、瞬時的に発生する符号量とビットレートとは関係は変動する。即ち、MPEGでは圧縮される画像単位での符号量の変動は許容されており、この変動を吸収するためにv b v _ b u f f e rモデルが規定されている。

【0057】つまり、MPEGでは、符号化データの発生符号量が絵柄及びピクチャタイプによって相違することを考慮して、デコーダ側で各ピクチャを実時間で復号化するために、発生符号量のバースト性を吸収するためのv b v バッファを有しており、符号化時にはこのv b v バッファを仮定して、v b v バッファがアンダーフロー及びオーバーフローしないように発生符号量を制御するようになっている。

【0058】伝送路が固定ビットレート(以下、CBR(Constant Bit Rate)という)の場合には、v b v バッファがアンダーフロー又はオーバーフローしない範囲で符号量の変動が許容される。

【0059】一方、伝送レートが可変の可変ビットレート(以下、VBR(Variable Bit Rate)という)の場合には、v b v _ b u f f e rを仮定して符号の発生は図8のシーケンスレーヤで示されるビットレートの速度で行われる。この場合において、発生符号量が少ないときにはv b v _ b u f f e rは常に容量の一杯までデータが蓄積されている状態になっており、復号化デコーダでは復号単位であるピクチャレーヤ毎に、v b v _ b u f f e rから符号化データを読出す。VBR符号化では、各画像毎の発生符号量はCBR符号化ほど厳しく制御される必要はなく、1枚の画像の圧縮符号化を行う場合の符号量は、v b v _ b u f f e rサイズを超えなければよい。

【0060】本実施の形態では、合成する画像毎に符号量を制御する。具体的には、ベース符号化画像のビットレートを4Mbpsとして、追加される画像領域比が1/4であった場合には、追加する縮小画像を1Mbpsで

符号化するものとする。v b v _ _ b u f f e r サイズもその比に従って1/4倍されたモデルを用いて符号量を制御する。

【0061】従って、ベース符号全体の符号量は、およそ、ビットレートで示された値に近くなる。ただ、個々の縮小画像の符号量は独立に制御されるので、C B R 符号化のモデルと完全には一致しない。そこで、本実施の形態では、シーケンスレーヤーに記述されるビットレートとしてV B R 符号モデルのビットレートを記述する。

【0062】このように、本実施の形態においては、V B R 符号化モデルを用いているので、ベース画像の無画像部の領域に相当する符号量の不足を考慮する必要もない。

【0063】本実施の形態においては、タイプ決定回路14によってスライスの先頭ブロックは1ピクチャとなるようにタイプが決定されると共に、スライス先頭ブロックではD C 成分等も初期化されるようになっている。文法発生回路23は、量子化器6の出力に基づいて、図2のD領域の範囲内のスライスレーヤー以下のデータを生成する。

【0064】こうして、本実施の形態においては、スライスレーヤー単位で符号を完結させている。文法発生回路23のスライスレーヤーのデータは文法合成回路24に供給される。

【0065】文法合成回路24にはベース符号化画像供給回路25からベース符号化画像が与えられており、文法合成回路24は、ベース符号化画像のうち図2のD領域に相当するスライスレーヤーのストリームとして文法発生回路23からのスライスレーヤー以下のデータを配列する。

【0066】図3は画面を区画する水平及び垂直のラインによって、ベース符号化画像におけるスライスレーヤーの構成を示している。なお、図3では、垂直方向のスライスレーヤーの数は、実際の例とは異なる。図3に示すように、ベース画像のスライスレーヤーは、少なくとも各領域の境界において境界が形成されている。

【0067】文法合成回路24は、図3のD領域のスライスレーヤー以下のデータとして、文法発生回路23の出力を配列するのである。文法発生回路23からのスライスレーヤー以下のデータには、合成される縮小画像のアドレスが供給されているので、文法合成回路24は、スライスの垂直及び水平アドレスを、合成する縮小画像がはめ込まれる位置（D領域の位置）に対応させて変換する。また、ピクチャレーヤー以上の層に対しては、符号化タイプ等の情報についてはベース符号化画像と縮小画像の圧縮符号とで一致するように制御されているので、変換する必要は無い。また、編集前後で、表示形態等が変化する場合には、対応するストリームの各値を変更する。

【0068】なお、図3においては、ベース画像の無画像部に対応する領域については、縮小画像を自由な位置

及び大きさで嵌込み可能なように、1マクロブロックで1スライスレーヤーを構成するようにベース画像の符号化が行われている。これにより、レイアウトの自由な設定が可能である。なお、ベース画像の空き領域が、1マクロブロックで1スライスレーヤーを構成するようになっていない場合でも、追加する縮小画像に代えて1マクロブロックで1スライスレーヤーを構成するデータを追加することで、自由にレイアウトの設定が可能である。

【0069】こうして、文法合成回路24は、ストリーム上で、ベース符号化画像と縮小画像Dの符号化出力とを合成して出力端子12に出力する。なお、文法合成回路24の出力をベース符号化画像供給回路25に供給することによって、図2に示す画像をベース画像として、更にストリーム上での編集が可能である。また、文法合成回路24は、画像が合成された領域及び画像が合成されていない領域を示す情報を、I S O / I E C 1 1 1 7 2 又は13818のシーケンスレーヤー、G O P レーヤー又はピクチャレーヤーのユーザーデータ（user_data）領域に付加してもよい。

【0070】このように、本実施の形態においては、スライスレーヤー単位で符号化処理を完結させると共に、作成したスライスレーヤーの符号化出力とベース符号化画像とをスライスレーヤー単位で合成することにより、ストリーム上での編集作業を可能にしている。これにより、複数の縮小画像による合成画像の符号化画像を作成する場合において、複数の縮小画像による合成画像が供給されない場合でも、また、複数の縮小画像の元になる画像が一度に供給されない場合でも、各縮小画像の符号化画像を合成することで、合成画像の符号化画像を得ることができる。

【0071】なお、上記実施の形態では、縮小画像をはめ込む領域としてD領域が固定されているものとして説明したが、追加する画像の画面上の位置を時間的に移動することもできる。

【0072】また、縮小画像をはめ込む領域の画像サイズを変更することも可能である。この場合には、図8で示されるG O P 単位でサイズを変えることができる。更に、この場合には、前のG O P の情報を使用しないclosed_G O P で圧縮符号化を行う。これにより、双方向又は前方予測を行う動き検出回路3において常に同一サイズの画像間で動きベクトルを検出することができる。また、画像がはめ込まれていない領域は、無画像部であるが、この領域に対して予め記憶されている固定パターンの画像信号をはめ込むことも可能である。

【0073】また、上記実施の形態では、画像がはめ込まれていない領域（無画像部）については、1マクロブロックを1スライスとしていたが、複数のマクロブロックを1スライスとすることも可能である。そうすると、合成される画像の水平方向のサイズはここで作られた1フレームの整数倍に限られるが、1マクロブロックを1

スライスとしたときに1マクロブロック毎に必要であったスライスヘッダが少なくなり符号量を削減することができる。

【0074】図4及び図5は本発明の他の実施の形態を説明するための説明図である。図4は画面の合成例を示し、図5はスライスの構成例を示している。本実施の形態の回路構成は、図1と同一である。

【0075】本実施の形態は、新たに合成される画像Dが、ベース画像の無画像部のうち縮小画像Dをはめ込む領域の画面サイズよりも大きい場合の例を示している。

【0076】この場合には、文法合成回路24は、ベース符号化画像に対して、図8に示したシーケンスレーヤでの画像サイズの変更を行った後に、追加画面の合成を行うようになっている。また、この時にシーケンスレーヤでもビットレートを変更前と変更後の比で変更することによって、大幅な画像サイズの変更が施された時に、このシーケンスレーヤにおいて示されるビットレートと実際の符号量の相関が高くなる。

【0077】図6は本発明の他の実施の形態を示すブロック図である。図6において図1と同一の構成要素には同一符号を付して説明を省略する。

【0078】本実施の形態は、タイプ変更回路31を付加した点が図1の実施の形態と異なる。タイプ変更回路31は、ベース符号化画像供給回路25から供給されるベース符号化画像の符号化タイプを変更してタイプ決定回路14及び文法発生回路23に供給するようになっている。

【0079】このように構成された実施の形態においては、追加する縮小画像の符号化タイプの決定方法のみが図1の実施の形態と異なる。MPEG規格では、上述したように、双方向予測を用いた符号化タイプ（Bピクチャ）、前方予測を用いた符号化タイプ（Pピクチャ）及びフレーム内符号化タイプ（Iピクチャ）の3種の符号化タイプがある。

【0080】Bピクチャでは、画像内容によって、マクロブロック毎に双方向予測を用いた符号化モード、前方予測を用いた符号化モード、フレーム内予測を用いた符号化モードを適宜選択可能である。また、Pピクチャにおいては、前方予測を用いた符号化モードとフレーム内予測を用いた符号化モードとを画像内容によって適宜選択可能である。また、Iピクチャは、全てのマクロブロックをフレーム内予測を用いた符号化モードで符号化する。

【0081】従って、例えば、Bピクチャで構成された画像中の所定の領域では、前方予測を用いた符号化モードとフレーム内予測を用いた符号化モードによって符号化されていることがあり、同様に、Pピクチャで構成された画像中の所定の領域においては、フレーム内予測を用いた符号化モードだけで符号化されていることがある。

【0082】本実施の形態においては、タイプ変更回路

31は、ベース符号化画像供給回路25から供給されたベース符号化画像がBピクチャである場合には、ピクチャタイプとしてP又はIピクチャをタイプ決定回路14及び文法発生回路23に指示する。また、タイプ変更回路31は、ベース符号化画像供給回路25から供給されたベース符号化画像がPピクチャである場合には、Iピクチャをタイプ決定回路14及び文法発生回路23に指示する。

【0083】タイプ決定回路14及び文法発生回路23は、タイプ変更回路31によって指示された符号化タイプによって符号化を行う。

【0084】シーンチェンジ等のように、画像中に予測符号化が困難な変化が発生した場合には、そのシーンチェンジをI又はPピクチャとして符号化する方が圧縮画像の品位が高くなることが知られている。一方、新たに追加合成される画像の画像の変化に拘わらず、ベース符号化画像の符号化タイプは固定されている。従って、本実施の形態のようにベース符号化画像の符号化タイプを変更することなく、合成画面の符号化を前方予測を用いた符号化又はフレーム内予測を用いた符号化とすることにより圧縮画像の品位を向上させている。

【0085】このように、本実施の形態においては、図1の実施の形態と同様の効果が得られると共に、圧縮画像の品位を向上させることができるという効果を有する。

【0086】なお、本発明は上記各実施の形態に限定されるものではなく、種々の変形が考えられる。例えば、処理制御信号によって、新たに画像を追加する領域として既に画像が合成されている領域が指定されることも考えられる。この場合には、例えば、既に画像が合成されている領域については画面内の水平及び垂直アドレスを変更することで合成画像の画面位置を変更した後に、処理制御信号によって指示された領域に入力された縮小画像を追加するように符号化及び合成処理を行ってもよい。

【0087】

【発明の効果】以上説明したように本発明によれば、符号化画像をストリーム上で編集することができると共に、符号化された複数の符号化画像から元の複数の画像に基づく縮小合成画像の符号化画像を作成することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る画像圧縮符号化装置の一実施の形態を示すブロック図。

【図2】図1の実施の形態を説明するための説明図。

【図3】図1の実施の形態を説明するための説明図。

【図4】本発明の他の実施の形態を説明するための説明図。

【図5】本発明の他の実施の形態を説明するための説明図。

【図6】本発明の他の実施の形態を示すブロック図

【符号の説明】

14…タイプ決定回路、21…画像縮小回路、23…文法発生回路、24…文法合成回路、25…ベース符号化画像供給回路

Figure 1 is a block diagram of a video signal processing system. The system includes the following components and signal flow:

- Input Image (1)**: The starting point of the signal flow.
- Image Processing Circuit (21)**: Receives the input image.
- Motion Detection Circuit (2)**: Outputs a **Motion Vector (4)**.
- Motion Compensation Circuit (3)**: Receives the motion vector (4) and the output of the image processing circuit (21).
- Motion Vector Insertion Circuit (15)**: Receives the motion vector (4) and the output of the motion compensation circuit (3).
- DCT Transform Circuit (5)**: Receives the output of the motion vector insertion circuit (15).
- Quantization Circuit (6)**: Receives the output of the DCT transform circuit (5).
- Syntax Generation Circuit (23)**: Receives the output of the quantization circuit (6).
- Syntax Composition Circuit (24)**: Receives the output of the syntax generation circuit (23).
- Coded Video Signal (12)**: The final output of the system.
- Base Code Conversion Circuit (25)**: Receives the coded video signal (12) and outputs a **Base Code (22)**.
- Base Code Supply Circuit (24)**: Receives the base code (22) and outputs a **Base Code (23)**.
- Type Decision Circuit (14)**: Receives the base code (22) and outputs a **Type Decision (13)**.
- Motion Vector Control Circuit (13)**: Receives the type decision (13) and outputs a **Motion Vector Control (11)**.
- Motion Compensation Memory (10)**: Receives the motion vector control (11) and outputs a **Motion Compensation (10)**.
- Motion Compensation Control Circuit (11)**: Receives the motion compensation (10) and outputs a **Motion Compensation (10)**.
- Inverse Quantization Circuit (9)**: Receives the output of the motion compensation control circuit (11).
- Inverse DCT Transform Circuit (8)**: Receives the output of the inverse quantization circuit (9).
- Motion Compensation (7)**: The final output of the system.





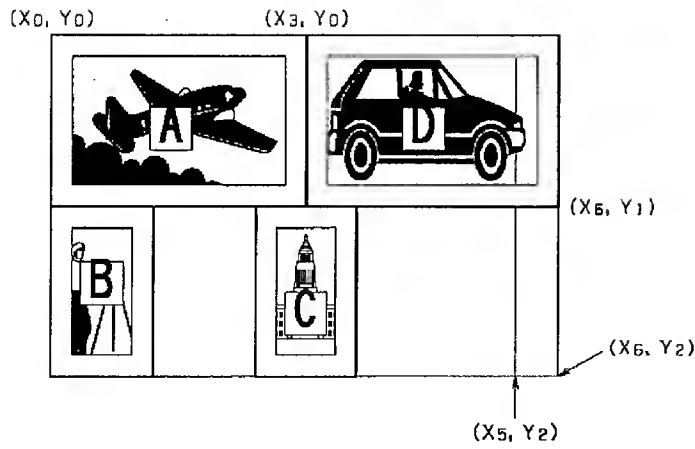
(X_0, Y_0)	(X_3, Y_0)	(X_5, Y_0)
		
(X_0, Y_1)		(X_5, Y_1)
		
(X_0, Y_2)	(X_1, Y_2)	(X_2, Y_2)
	(X_4, Y_2)	(X_5, Y_2)

Figure 1 shows a 2D grid divided into four quadrants labeled A, B, C, and D. The top-left quadrant (A) is labeled (X_0, Y_0) . The top-right quadrant (D) is labeled (X_5, Y_0) . The bottom-left quadrant (B) is labeled (X_0, Y_1) . The bottom-right quadrant (C) is labeled (X_5, Y_1) . The bottom-right quadrant (C) is also labeled (X_5, Y_2) .

【図4】



【図6】

